

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-237377

(43)公開日 平成 6年(1994) 8月23日

(51)Int.Cl.⁵

H 0 4 N 1/40

G 0 6 F 15/66

識別記号

庁内整理番号

G 9068-5C

K 8420-5L

F I

技術表示箇所

審査請求 未請求 請求項の数 4 F D (全 5 頁)

(21)出願番号 特願平5-44698

(22)出願日 平成 5年(1993) 2月 8日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町 2丁目 6番 3号

(72)発明者 中上 修一

相模原市淵野辺 5-10-1 新日本製鐵株

式会社エレクトロニクス研究所内

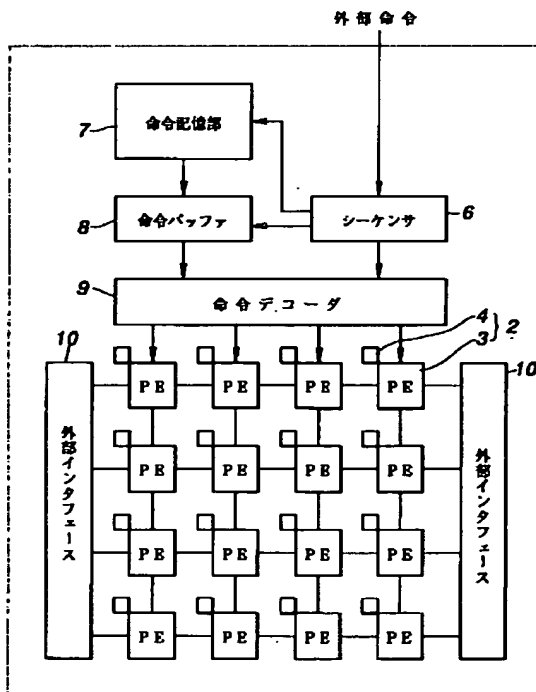
(74)代理人 弁理士 大島 陽一

(54)【発明の名称】 画像情報処理装置

(57)【要約】

【目的】 高速、かつ経済的な画像処理を行うことが可能な画像情報処理装置を提供する。

【構成】 画像情報を処理するべく同一基板上に配置された複数の情報処理手段と、この情報処理手段の各々に画像情報を入力するための画像入力手段とを有し、入力された画像情報を各情報処理手段により並列処理することにより、画像情報を並列処理による高度な画像処理を高速に行うことができ、またコストも高騰化することから、小規模なシステムに於ても、高効率かつ経済的な画像処理システムを実現できる。



【特許請求の範囲】

【請求項1】 画像情報を処理するべく同一基板上に配置された複数の情報処理手段と、前記情報処理手段の各々に画像情報を入力するための画像入力手段とを有し、入力された画像情報を前記各情報処理手段により並列処理することを特徴とする画像処理装置。

【請求項2】 前記画像情報の入力手段が、前記各情報処理手段に対応して前記基板上に設けられた複数の受光素子からなることを特徴とする請求項1に記載の画像処理装置。

【請求項3】 前記各画像情報処理手段が、同じ命令により各々互いに異なる情報を並列処理可能となっていることを特徴とする請求項1若しくは請求項2に記載の画像処理装置。

【請求項4】 前記互いに異なる情報が、1画像を複数に分割した各部分の情報からなることを特徴とする請求項3のいずれかに記載の画像情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はイメージスキャナ等の画像情報処理装置に関し、特に処理の高速化を目的とする画像情報処理装置に関するものである。

【0002】

【従来の技術】従来、被写体を撮影してその情報を処理する画像処理装置にあっては、CCDカメラ等の画像入力装置とこの画像入力装置にて入力された画像情報をA/D変換し、更に各種補正を施すことにより取り扱い容易なデジタルデータとするための画像情報処理装置とを組み合わせることで構成されていた。例えば、画像情報の入力装置としては、CCD等からなる受光部と、この受光されたアナログ映像信号をデジタル情報に変換するA/D変換部と、この変換された画像情報を1フレーム分記憶する半導体メモリ等からなるフレームメモリとから構成されている。また、処理装置側には上記した入力装置側から送られた画像情報を逐次的に処理する汎用のマイクロプロセッサやDSP等の専用のプロセッサから構成されている。

【0003】しかしながら、上記したような構成は小規模なシステムに於てはそのコストが高騰化する要因となり、また入力装置側から取り込まれる画像の周期が一般にカメラのフレーム周期(1/30秒)で決定されることから、高速に変化する被写体を捕らえることが困難であった。同様に、情報処理装置側にあってもフレームメモリ上の画像情報を逐次的に処理することから高度な処理をリアルタイムで実行することが困難であった。

【0004】

【発明が解決しようとする課題】本発明は上記したような従来技術の問題点を鑑みなされたものであり、その主な目的は、高速、かつ経済的な画像処理を行うことが可

能な画像情報処理装置を提供することにある。

【0005】

【課題を解決するための手段】上記した目的は本発明によれば、画像情報を処理するべく同一基板上に配置された複数の情報処理手段と、前記情報処理手段の各々に画像情報を入力するための画像入力手段とを有し、入力された画像情報を前記各情報処理手段により並列処理することを特徴とする画像処理装置を提供することにより達成される。特に前記画像情報の入力手段が、前記各情報処理手段に対応して前記基板上に設けられた複数の受光素子からなることと良い。

【0006】

【作用】このように、入力された画像情報を分担して複数の処理装置により並列処理することにより、画像情報の高速処理が可能となると共に各処理装置が必ずしも高速である必要がないことからそのコストも低廉化する。

【0007】

【実施例】以下、本発明の好適実施例を添付の図面について詳しく説明する。

20 【0008】図1は、本発明に基づく画像処理装置の要部構成図である。画像情報を処理する情報処理手段としてのプロセッサエレメント(PE)3と、実際に画像を受光するための画像入力手段としての受光素子4とが対をなす画像入力/処理ブロック2がマトリクス状に基板1上に配設されている。また、互いに隣接するプロセッサエレメント3同士は後記する通信ポート15により接続され、他のプロセッサエレメント3の画像情報やその処理結果を通信により全てのプロセッサエレメント3が共有し得るようになっている。

30 【0009】一方、基板1上に於ける画像入力/処理ブロック2のマトリクスに隣接する位置には、シーケンサ6が設けられ、外部命令の入力線及び基板1上に設けられた命令記憶部7からの当該画像処理装置に対する処理命令を命令バッファ8にセットするようになっている。また、この命令バッファ8にセットされた処理命令は、命令デコーダ9を介して解釈され、その結果得られる制御信号が各画像入力/処理ブロック2のプロセッサエレメント3に送られるようになっている。尚、各プロセッサエレメント3には、外部インタフェース10が接続され、処理結果がこの外部インタフェース10を介して外部に送られるようになっている。

50 【0010】図2にプロセッサエレメント3の構成を詳細に示す。受光素子4はA/D変換器を内蔵する入力ポート12を介して算術論理演算器(ALU)13の一方の入力端に接続されている。このALU13の一方の入力端にはALU13からの出力を記憶するためのレジスタ14も接続されている。また、ALU13の他方の入力端には、隣接するプロセッサエレメント3間と通信を行うための通信ポート15とレジスタ14とが接続されている。尚、命令デコーダ9からの制御信号にはALU

13の演算機能の指定と、ALU13への2つの入力データを選択するソース指定、ALUの出力先を指定するデスティネーション指定等の種類がある。また、ALU13には一般的なADD、SUB、AND、OR、EOR、SHIFT等の演算機能があり、ソースとしては上記した入力ポート12、通信ポート15とレジスタ14とがあり、デスティネーションとしては、通信ポート15とレジスタ14とがある。通信ポート15は、隣接するプロセッサエレメント3間の通信を行う以外に外部インタフェース10との通信を行うことができるようになっている。

【0011】以上のような構成に於て、全ての画像入力／処理ブロック2のプロセッサエレメント3は、命令デコーダ9からの同じ制御信号を受け、各受光素子4からの異なる画像情報を並列処理することができるようになっており、その処理速度が外部汎用CPUにより逐次的に行う場合に比較して飛躍的に向上する。

【0012】尚、本発明は上記した実施例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形、変更が可能である。例えば、上記実施例では1つのプロセッサエレメントに1つの受光部が対応している場合について説明したが、図2に想像線で示すように、処理速度の許容範囲で1つのプロセッサエレメントに対して複数の受光部が対応していても良い。また、プロセッサエレメントの数はLSIの集積度や、画像情報の解像度に応じて増減して良いことは言うまでもない。

【0013】

【発明の効果】以上の説明により明らかなように、本発明による画像情報処理装置によれば、画像情報を処理するべく同一基板上に配置された複数の情報処理手段と、この情報処理手段の各々に画像情報を入力するための画像入力手段とを有し、入力された画像情報を各情報処理手段により並列処理することにより、画像情報を並列処理による高度な画像処理を高速に行うことができ、またコストも高騰化することがないことから、小規模なシステムに於ても、高効率かつ経済的な画像処理システムを実現できる。

【図面の簡単な説明】

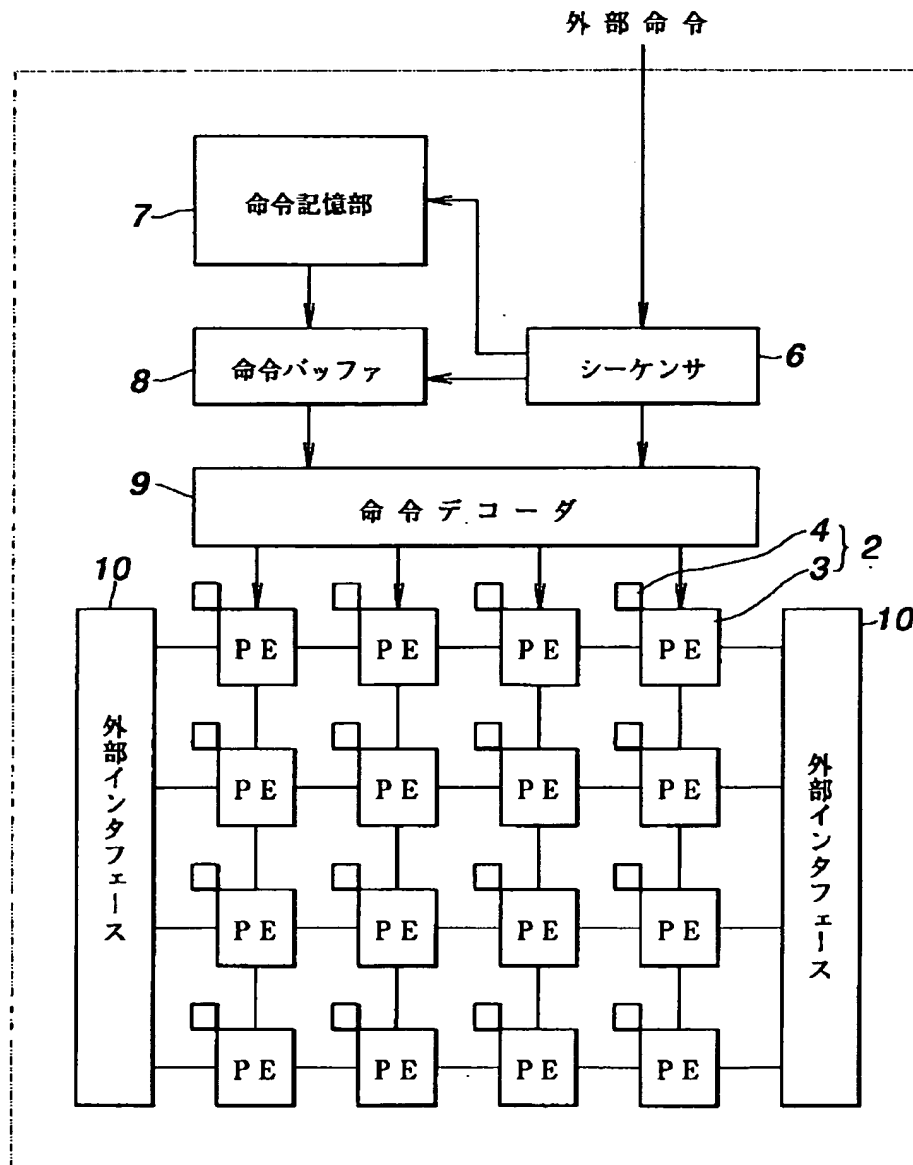
【図1】本発明が適用された画像情報処理装置の構成を示すブロック図である。

【図2】図1の要部を拡大して示す説明図である。

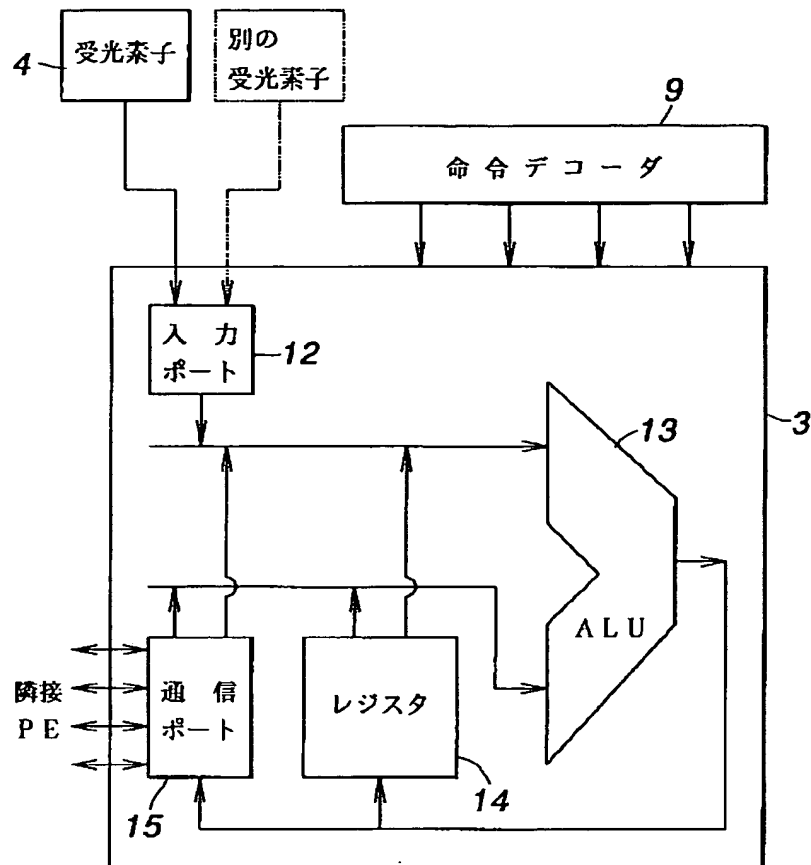
【符号の説明】

- 1 基板
- 2 画像入力／処理ブロック
- 3 プロセッサエレメント
- 4 受光素子
- 5 シーケンサ
- 6 命令記憶部
- 7 命令バッファ
- 8 命令デコーダ
- 9 外部インタフェース
- 10 入力ポート
- 11 算術論理演算器 (ALU)
- 12 レジスタ
- 13 通信ポート

【图 1】



【図2】



PAT-NO: JP406237377A
DOCUMENT-IDENTIFIER: JP 06237377 A
TITLE: PICTURE INFORMATION PROCESSING UNIT
PUBN-DATE: August 23, 1994

INVENTOR-INFORMATION:
NAME
NAKAGAMI, SHUICHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
NIPPON STEEL CORP N/A

APPL-NO: JP05044698
APPL-DATE: February 8, 1993

INT-CL (IPC): H04N001/40, G06F015/66

ABSTRACT:

PURPOSE: To attain economical picture processing at a high speed by using each information processing means to apply parallel processing to inputted picture information.

CONSTITUTION: A sequencer 6 is provided at a position adjacent to a matrix of a picture input processing block 2 and sets a processing instruction from an instruction storage section 7 given to the picture processing unit to an instruction buffer 8. Moreover, the processing processing set to the instruction buffer 8 is decoded through an instruction decoder 9 and a control signal obtained as a result is sent to a processing element 3 of each picture input processing block 2. Then the inputted picture information is shared by plural processing units, in which the information is processed in parallel thereby allowing the picture information to be processed at a high speed, and since each processing unit is not necessarily a high speed processing unit, the cost of the processing unit is reduced.

COPYRIGHT: (C) 1994, JPO&Japio